

Chip de Condicionamento Analógico de Sinais Aplicado a aquisição de Grandes e Pequenos Sinais para Equipamentos Eletrônicos de Medição

A. C. Barretto¹, C.V. R. Almeida², R. C. S. Freire³

¹Universidade Federal de Campina Grande, Departamento de Engenharia Elétrica, Campina Grande-PB, Brasil, andrea.barretto@fieb.org.br

²Serviço Nacional de Aprendizagem Industrial, Centro Integrado de Manufatura e Tecnologia, Salvador-BA, Brasil, cleber.vinicius@.fieb.org

³Universidade Federal de Campina Grande, Departamento de Engenharia Elétrica, Campina Grande-PB, Brasil, rcsfreire@dee.ufcg.edu.br

Resumo: É apresentado neste artigo o projeto de um chip analógico de condicionamento de sinais, aplicável à aquisição de grandes e pequenos sinais. O chip será empregado em sistemas de medição microcontrolados que requerem aquisição de dados. A topologia de amplificação diferencial e os resultados de desempenho do chip são apresentados.

Palavras Chave: condicionamento de sinal analógico, circuito integrado, sistema de aquisição de dados

1. INTRODUÇÃO

No mundo atual, a necessidade de medição, de controle e de monitoramento de grandezas físicas é cada vez mais frequente, especialmente na área industrial e biomédica. Sistemas de aquisição de dados são desenvolvidos para a obtenção de informações dessas grandezas. Na indústria, estes sistemas de aquisição são amplamente usados para medição de parâmetros de equipamentos para manutenção preventiva.

O condicionamento analógico de sinais é a primeira etapa básica de um sistema de aquisição de dados e muitas vezes essencial. Ele se faz necessário para ajustar o sinal de entrada em amplitude, frequência ou nível. Eles podem ser implementados utilizando desde topologias simples a complexas, passivas ou ativas, em tempo contínuo ou discreto [1] [2].

Este trabalho aborda o projeto e o desenvolvimento de um chip analógico de condicionamento de sinais utilizando uma topologia diferencial, aplicável à aquisição de grandes e pequenos sinais, como os sinais biomédicos e os sinais de sistemas elétricos de potência sem o uso de transformadores, no caso das aplicações que não necessitem de isolamento. O chip deverá ser empregado, *a priori*, em sistemas microcontrolados que requerem a aquisição de dados.

Dentre as vantagens do chip proposto, podemos citar o reduzido número de componentes externos, a pequena área utilizada na pastilha de silício, bem como a redução significativa da área do circuito impresso ocupada pela implementação na versão discreta, redução essa proporcionada também pelo encapsulamento definido para o componente eletrônico, fruto deste trabalho.

Este artigo está estruturado conforme a seguir. Após uma breve introdução, serão definidos os requisitos para o circuito e descrito o princípio de funcionamento da topologia proposta. Posteriormente, serão discutidos os resultados das simulações realizadas. Por fim, serão apresentadas as conclusões do trabalho realizado.

2. MÉTODOS

A topologia do circuito de condicionamento de sinais foi implementada, testada e validada, em sua versão discreta, em um projeto de um equipamento microprocessado para estimação do torque em Motores de Indução Trifásicos (MITs) pelo método do escorregamento. Ela foi empregada tanto no circuito de demodulação PWM (*Pulse Width Modulation*) quanto no circuito de condicionamento de entrada dos transdutores de corrente, conforme destacados no diagrama de blocos do equipamento ilustrado na Figura 1. O objetivo deste equipamento é sua aplicação em sistemas de supervisão de poços de petróleo que utilizam bombeamento por cavidades progressivas (BCP) [3].

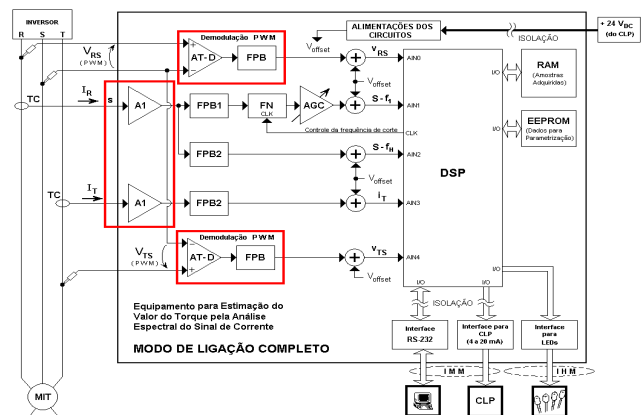


Figura 1 – Diagrama de blocos estruturais do equipamento microprocessado para estimação do torque em motores de indução trifásicos pelo método do escorregamento

A maioria dos ADCs (*Analog to Digital Converters*) existentes como periféricos dos microcontroladores ou Processadores Digitais de Sinais (DSPs) comerciais possui

resolução de 8 a 12 bits e é unipolar, com uma tensão máxima de referência de +3,0 VDC, permitindo assim a entrada de sinais analógicos positivos excursionando somente entre a referência (GND) e essa tensão. Conseqüentemente, o projeto do circuito de condicionamento consiste em primeiramente limitar a faixa máxima do sinal de entrada a -1,5 V e +1,5 V, no caso da referência máxima de +3,0 V. Posteriormente, deve-se deslocar o nível DC do sinal de entrada, adicionando um valor de tensão positivo e constante correspondente a metade da máxima tensão de referência utilizada, para que o sinal de entrada resultante possa ser aplicado à entrada analógica do microcontrolador, como mostra a Figura 2. A limitação da faixa máxima do sinal de entrada corresponde a uma mudança de escala, podendo ser tanto uma amplificação quanto uma atenuação do sinal, conforme a aplicação. Além disso, o circuito deve considerar o condicionamento também em frequência, aplicando uma filtragem adequada conforme a aplicação exige.

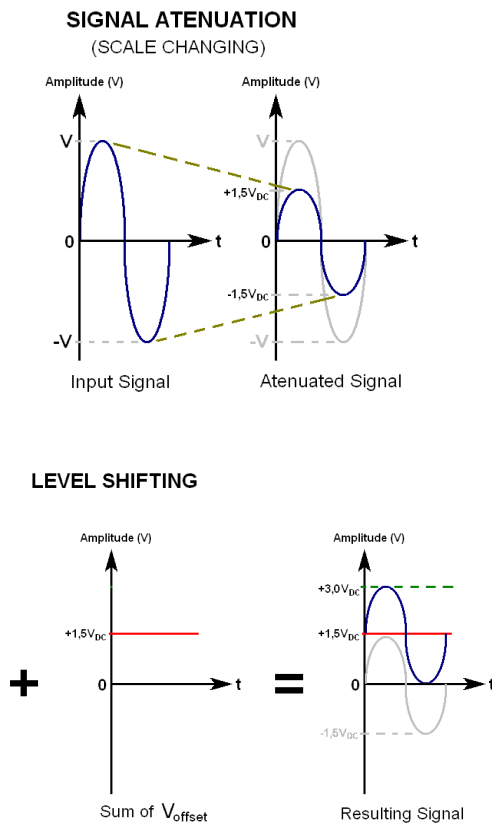


Figura 2 – Condicionamento em amplitude do sinal de entrada antes da introdução no ADC dos microcontroladores comerciais com tensão de referência de +3,0 V

A topologia para o circuito de condicionamento proposto é ilustrada na Figura 3. Ela consiste na utilização de uma estrutura diferencial de aquisição. Uma das vantagens das estruturas diferenciais é a alta taxa de rejeição de sinais de modo comum (CMRR - *Common Mode Rejection Ratio*), medida em decibéis (dB), o que torna essas topologias preferíveis quando da necessidade da aquisição de pequenos

sinais contaminados com ruídos de modo comum com grande amplitude [1] [2].

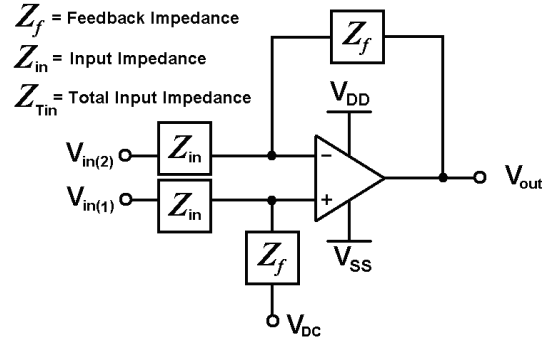


Figura 3 – Topologia diferencial proposta para o chip analógico de condicionamento de sinais.

Pode-se demonstrar que a topologia proposta na Figura 3 é regida matematicamente por (1), onde: $V_{in(1)}$ e $V_{in(2)}$ são os sinais de entrada; Z_{in} é a impedância que conecta os sinais de entrada aos terminais do amplificador operacional; Z_{Tin} é a impedância total de entrada e corresponde a $2 \cdot Z_{in}$; Z_f é a impedância de realimentação e V_{out} é o sinal de saída do sistema. A impedância total de entrada Z_{Tin} e corresponde a $2 \cdot Z_{in}$.

$$V_{out} = \left| \frac{Z_f}{Z_{in}} \right| \cdot (V_{in(1)} - V_{in(2)}) + V_{DC} \quad (1)$$

Considerando a Figura 1, em (1), $(V_{in(1)} - V_{in(2)})$ corresponde ao sinal diferencial de entrada; $|Z_f / Z_{in}|$ é a razão que promove o condicionamento em amplitude e em frequência deste sinal; enquanto V_{DC} (tensão de nível DC) é o termo responsável pelo deslocamento de nível.

A arquitetura proposta na Figura 3 permite a implementação de condicionamentos em frequência correspondentes aos 4 tipos básicos de filtragem: passa-baixas, passa-altas, passa-faixa e rejeita-faixa.

A definição de um dos tipos depende apenas da manipulação adequada de Z_{in} e Z_f . Se $|Z_f / Z_{in}| > 1$, têm-se a amplificação do sinal diferencial de entrada, para aplicações que requerem aquisição de pequenos sinais, como por exemplo, na aquisição de sinais biomédicos. Se $0 < |Z_f / Z_{in}| < 1$, têm-se a atenuação do mesmo, podendo-se utilizar na aquisição de grandes sinais, como por exemplo, na aquisição de sinais elétricos de potência (sinais provenientes de motores de indução e demodulação PWM de inversores de frequência).

A topologia de implementação da arquitetura ilustrada na Figura 3 e a ser integrada no chip proposto neste trabalho é ilustrada na Figura 4. O termo V_{DC} (tensão em nível DC) em (1) é implementado utilizando a topologia ilustrada na Figura 5. Nesta, V_{REF} deve ser +3,0 V, conforme explicado anteriormente.

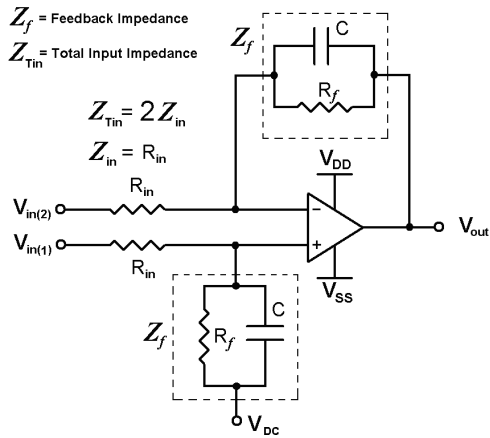


Figura 4 – Implementação da topologia proposta do chip

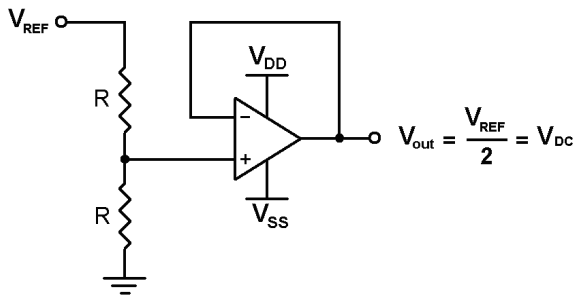


Figura 5 – Topologia utilizada para geração de V_{DC}

No caso da implementação ilustrada na Figura 4, o condicionamento em frequência é realizado por uma filtragem passa-baixas graças aos elementos que compõem Z_f , no caso, R_f e C_f . A partir da função de transferência do circuito da Figura 4, o Ganho DC (G_{DC}) é definido por (3) e a frequência de corte (f_c) do filtro resultante é definida por (4).

$$G_{DC} = \frac{R_f}{R_{in}} \quad (3)$$

$$f_c = \frac{1}{2\pi \cdot R_f C} \quad (4)$$

Os requisitos definidos para o projeto do chip proposto consistem em uma tensão de nível DC (V_{DC}) de saída de, no máximo, 732 μV , calculada considerando ADCs de 12 bits com tensões de referência de +3,0 V, além de uma CMRR de pelo menos 60 dB para aplicações que processem sinais biomédicos.

As topologias descritas nas Figuras 4 e 5 podem ser integradas em um chip com apenas 8 pinos conforme ilustrado na Figura 6. No caso, foram definidos como externos os resistores R_{in} (o qual permite a manipulação de Z_{in}) e os capacitores C_f (o qual permite a manipulação de Z_f), bem como o capacitor de desacoplamento da fonte C_1 e o capacitor opcional C_2 . Dessa forma, é proposto para o chip o encapsulamento SOIC (*Small Outline Integrec Circuit*) de 8 pinos, conforme Figura 7.

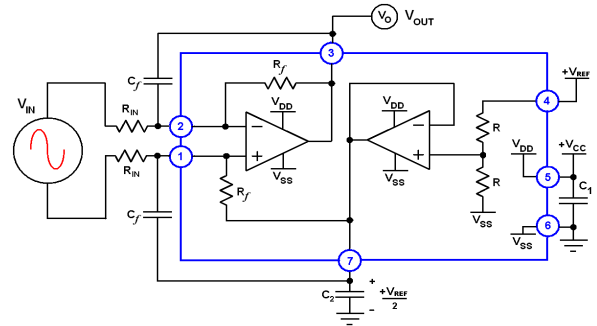


Figura 6 – Diagrama de blocos estruturais do chip proposto em um encapsulamento de 8 pinos.

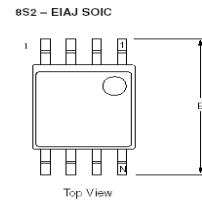


Figura 7 – Encapsulamento SOIC (*Small Outline Integrec Circuit*) de 8 pinos, tecnologia SMD (*Surface Mounted Device*).

Um exemplo é ilustrado no destaque da Figura 8, onde é mostrada a placa de condicionamento de sinais utilizada no equipamento microprocessado para estimação do torque em Motores de Indução Trifásicos (MITs) pelo método do escorregamento [3], mencionado na introdução deste artigo.

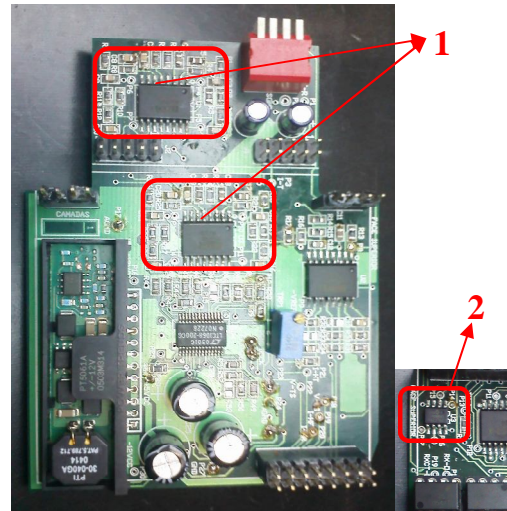


Figura 8 – Comparação entre as áreas ocupadas pelo circuito analógico de condicionamento de sinais implementado na versão discreta na placa de condicionamento de sinais do equipamento da referência [3] (1) e a área que ocupará na versão integrada (2)

2.1 Circuitos em nível de transistor

Para a realização do projeto em nível de transistor, foi utilizada a tecnologia 0,5 μm CMOS e o design kit C5N, da *ON Semiconductor*. Para o projeto do amplificador operacional (amp-op) principal do circuito a ser integrado,

destacado na Figura 4, adotou-se a arquitetura de dois estágios de um *Folded-Cascode* com estágio de saída em fonte comum, conforme ilustrado na Figura 9. Como este amplificador operacional é responsável em receber o sinal de entrada do circuito, a escolha da arquitetura com alto ganho favorece a obtenção de alta taxa de rejeição de modo comum (CMRR), um requisito importante para aplicação do circuito com pequenos sinais.

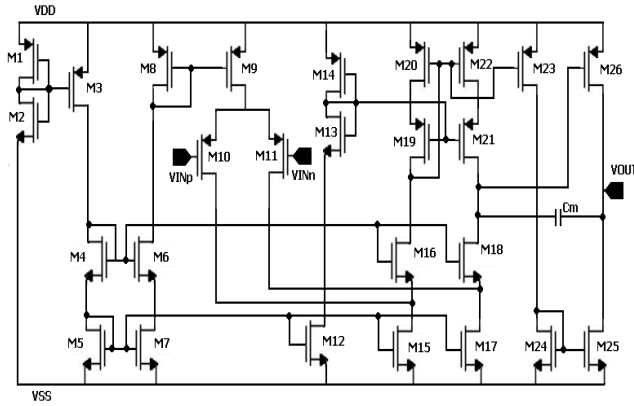


Figura 9 – Arquitetura do amp-op de dois estágios Folded-Cascode com estágio de saída em fonte comum

Outro requisito que demanda especial atenção é a tensão de offset, uma vez que a mesma deve ser menor que 732 μV . Os demais requisitos dos projetos estão listados na Tabela 1.

Tabela 1. Requisitos para o projeto do amp-op de dois estágios Folded-Cascode com estágio de saída em fonte comum

Requisitos	Valores
A_v	>60 dB
PM	60°
GBW	5 MHz
Voffset	<732 μV
CMRR	>80dB
R_L	2kohm
C_L	40pF
VDD	4V
VSS	-1V

A estrutura *folded-cascode* na Figura 9 pode ser observada pelos transistores M10, M11 (par diferencial) e M16, M17 (transistores cascodes), sendo estes polarizados pelo espelho composto por M4 e M6. Usualmente em amp-ops *folded-cascode*, é utilizado um espelho cascode para garantir a alta resistência de saída. No entanto, este espelho limita a excursão do sinal. Para solucionar esta questão, foi utilizada uma estrutura de espelho de corrente de grande excursão, composta por M19, M20, M21, M22. O divisor de tensão a transistor formado por M13 e M14 é responsável por polarizar M19 e M21 neste espelho. Esta saída, conectada ao segundo estágio de amplificação fonte comum, permite que o sinal de saída possa excursionar entre 0 e 3 V. A metodologia para o projeto do amp-op principal foi extraída de [4].

Tabela 2. Dimensão dos transistores do amplificador operacional *Folded-Cascode* de dois estágios

Transistor	W(um)/L(um)
M1	10/1
M2	6/1
M3	26/1
M4	40/1
M5	80/1
M6=M16=M18	20/1
M7	40/1
M8=M9	60/1
M10=M11	20/0,6
M12	20/1
M13	8/1
M14	5/1
M15=M17	60/1
M19=M21	100/1
M20=M22	44/1
M23	88/1
M24	40/1,5
M25	80/1,5
M26	200/1,5

Para o projeto do circuito de deslocamento de nível, destacado na Figura 5, foi utilizado um OTA (Operational Transconductance Amplifier) Miller, uma vez que neste circuito serão aplicados somente sinais DC. Desta forma, o requisito mais crítico para o projeto do OTA é a tensão de offset, dada a necessidade do circuito de deslocamento de nível em fornecer um nível DC preciso e igual a metade de V_{REF} . A metodologia para o projeto do OTA foi obtida de [5]. Por questão de redução de área de silício, os resistores representados na Figura 5 serão substituídos por um divisor de tensão a transistor formado por transistores em carga ativa. Na Figura 10, na qual é apresentado todo o circuito de deslocamento de nível. Na Tabela 3, são apresentados os requisitos para o projeto do OTA Miller e na Tabela 4, a razão de aspecto dos transistores.

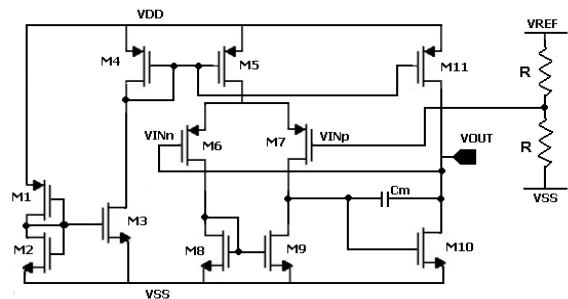


Figura10 – Arquitetura do circuito de deslocamento de nível DC

Tabela 3. Requisitos para o projeto amplificador operacional de transcondutância (OTA) Miller

Requisitos	Valores
A_v	>60dB
PM	60°
GBW	5MHz
ICMR	1V a 3V
Voffset	<732 μV
CMRR	>80dB
Slew Rate	10V/ μs
C_L	10pF
VDD	5V
VSS	0V

Tabela 4. Dimensão dos transistores do circuito de deslocamento de nível DC

Transistor	W(um)/L(um)
M1	10/1
M2	6/1
M3	3/1
M4=M5	15/1
M6=M7	3/1
M8=M9	3/1
M10	8/1
M11	82/1

2.2. Resultados de simulação

Para a realização das simulações, foi utilizada a ferramenta computacional Virtuoso, da Cadence, a tecnologia 0,5 μm CMOS e o design kit C5N, da *ON Semiconductor*. Os resultados de simulação para os dois amplificadores abordados anteriormente são apresentados na Tabela 5.

Tabela 5. Resultados de simulação do amp-op de dois estágios Folded-Cascode com estágio de saída em fonte comum e do OTA Miller

Requisitos	Amp-op de dois estágios	OTA Miller
Av	79dB	65dB
PM	72°	65°
GBW	4MHz	4,5MHz
ICMR	-	1,2V a 3,5V
Voffset	-500 μV	805 μV
CMRR	118dB	-
Slew Rate	-	9,4V/ μs

Foram realizadas simulações DC, AC e Transiente para testar a funcionalidade do circuito final, ilustrado na Figura 6, e o atendimento aos requisitos de projeto em três *corners*: típico, pior caso, melhor caso. Os parâmetros de cada *corner* são apresentados na Tabela 6. Os *testbenchs* utilizados foram extraídos de [5].

Tabela 6. Corners utilizados para simulações do circuito integrado

	Typical (cor1)	Worst Case (cor2)	Best Case (cor3)
MOS Model	typ	Wcs (slow-slow)	Wcp (fast-fast)
Temperatura	30°C	125°C	0°C
V _{DD}	5 V	4,5 V	5,5 V

Na **Figura 11**, destacam-se alguns dos resultados obtidos como tensão de offset na saída (a) e CMRR (b). Em ambos os casos, consegui-se atingir os requisitos em todos os *corners*: tensão offset requerida = 732 μV e CMRR requerido > 60 dB @ 20 kHz.

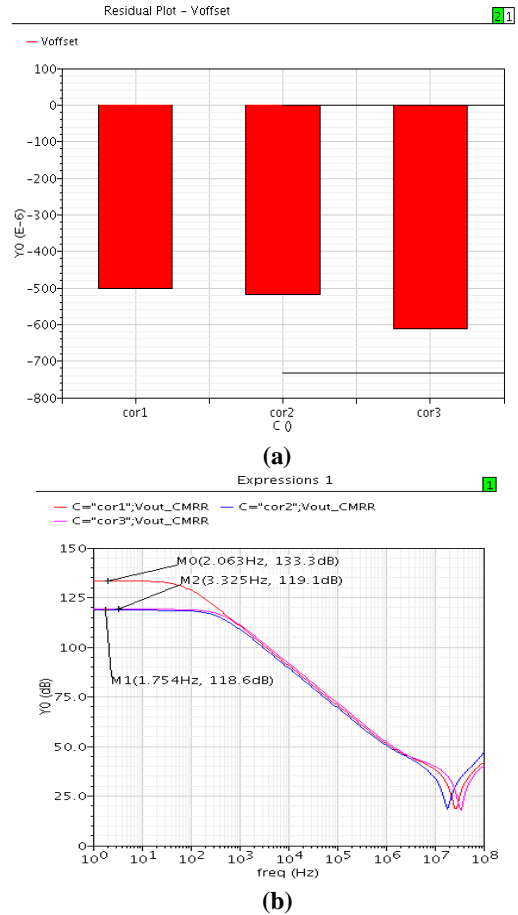
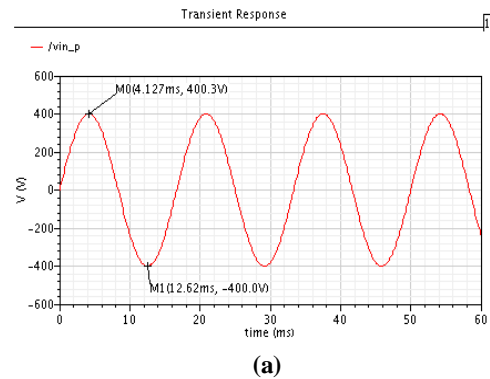
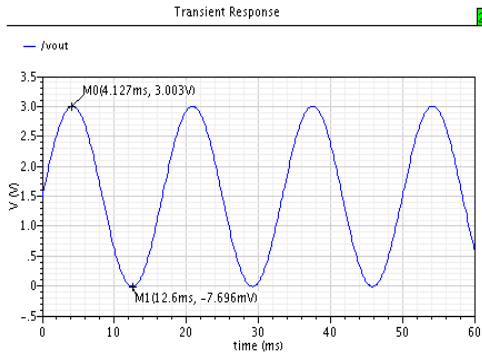


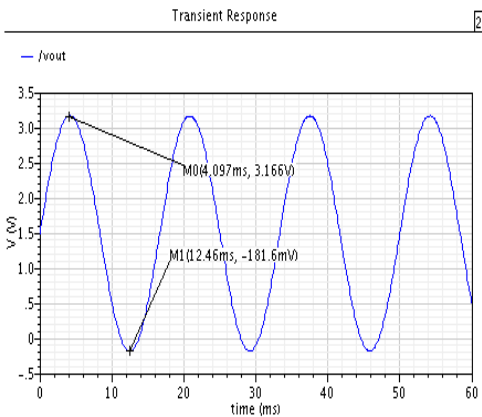
Figura 11 – Resultados experimentais do circuito analógico de condicionamento de sinais: (a) tensão de offset na saída, (b) CMRR

Na Figura 12, é apresentada a resposta no domínio do tempo do circuito a uma entrada senoidal que representa um sinal de potência, para cada *corner*. Foram adotados os seguintes valores dos resistores internos do chip, conforme Figura 6: $R_f = R = 22,5 \text{ k}\Omega$. Para condicionar a saída à faixa de 0 V a 3 V, a partir da tensão de entrada de 800 V pico a pico e 60 Hz, foram calculados os valores dos resistores e capacitores externos ao chip: $R_{in} = 12 \text{ M}\Omega$ e $C_f = 100 \text{ nF}$.

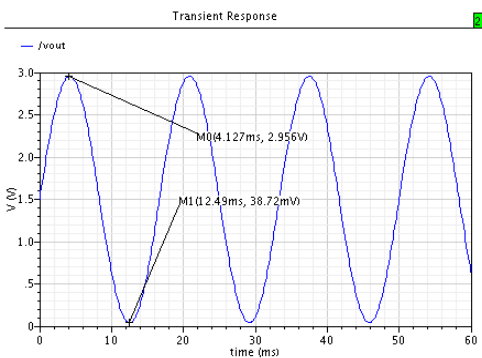




(b)



(c)



(d)

Figura 12 – (a) Sinal de entrada do circuito, v_{in} , (b) resposta da simulação transiente para o *corner* típico, (c) resposta da simulação transiente para o *worst case corner*, (d) resposta da simulação transiente para *best case corner*

3. CONCLUSÃO

Neste artigo foi apresentada uma proposta de um chip analógico de condicionamento de sinais aplicável à aquisição de grandes e pequenos sinais e empregado em sistemas microcontrolados que requerem aquisição de dados. A topologia adotada foi validada na forma discreta em um projeto de equipamento real utilizado para estimação de torque em sistemas BCP da PETROBRAS, e a versão

integrada foi projetada, implementada e simulada utilizando o *Software Virtuoso* da Cadence como ferramenta computacional de desenvolvimento. Os resultados da simulação atenderam satisfatoriamente aos requisitos definidos. As próximas fases consistirão no *layout* do ASIC (*Application Specific Integrated Circuit*) e a fabricação e testes do *die*, bem como o posterior encapsulamento do mesmo em um SOIC de 8 pinos, finalizando com os testes experimentais em uma aplicação real utilizando o próprio chip.

Em estudos futuros, algumas adaptações devem ser feitas no circuito, a fim de priorizar a redução de área interna do chip. Desta forma, a topologia deve sofrer alteração de modo que os resistores internos possam ser substituídos por transistores MOS operando na região linear.

AGRADECIMENTOS

Os autores agradecem ao CNPq, NAMITEC, CAPES e PROCAD-NF pelo apoio para realização desse trabalho.

REFERÊNCIAS

- [1] Haykin, S. and Veen, B. V., “*Signals e Systems*”. John Wiley & Sons Australia, 2002.
- [2] Pall’as-Anery, R. and Webster, J. G., “*Sensors and Signal Conditioning*”. John Wiley & Sons, Inc, 2nd ed., 2001.
- [3] Almeida, C. V. R., Oliveira, A., Cerqueira, J. J. F., Lima, A. C. C., “*Equipamento para Estimação do Torque em Motores de Indução Trifásicos pelo Método do Escorregamento auxiliado pela Análise Espectral do Sinal de Corrente do Estator - Desenvolvimento e Implementação*” – Anal do XVIII Congresso Brasileiro de Automática, 2010.
- [4] A. S. Sedra and K. C. Smith, *Microeletrônica – 5ª Edição*. São Paulo: Pearson Prentice Hall, 2007
- [5] Allen and Holberg, *CMOS Analog Circuit Design, 2nd Edition*. New York: Oxford University Press, 2002.